

대한민국 특허청  
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0005234  
Application Number

출원년월일 : 2003년 01월 27일  
Date of Application

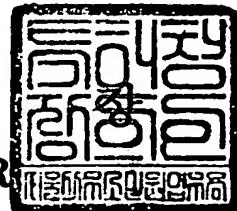
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 02 일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.01.27
【국제특허분류】	H01L
【발명의 명칭】	전력 소비를 감소시키는 종단 회로.
【발명의 영문명칭】	Termination circuit for reducing consumption of power
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	송호영
【성명의 영문표기】	SONG, Ho Young
【주민등록번호】	721223-1334711
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산 7-1 마로니에동 1407호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

1020030005234

출력 일자: 2003/6/3

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	6	면	6,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	24	항	877,000	원
【합계】	912,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

전력 소비를 감소시키는 종단 회로가 개시된다. 본 발명에 따른 종단 회로는 입력 신호를 전송 라인을 통하여 전송하는 경우 발생되는 링잉(ringing) 및 다이나믹 전류 (dynamic current)를 감소시키기 위한 종단 회로에 있어서, 제 1 스위치 부 및 제 2 스위치 부를 구비하는 것을 특징으로 한다. 제 1 스위치 부는 상기 입력 신호가 제 1 레벨로 천이 되는 경우 제 1 노드와 제 1 전압 사이에 전류 패스를 형성하는 제 1 터미네이션 저항을 구비한다. 제 2 스위치 부는 상기 입력 신호가 제 2 레벨로 천이 되는 경우 제 1 노드와 제 2 전압 사이에 전류 패스를 형성하는 제 2 터미네이션 저항을 구비한다. 상기 제 1 및 제 2 스위치부는 상기 입력 신호의 레벨이 변화되는 경우 터미네이션 저항 값이 상기 전송 라인의 저항 값으로 일정하게 유지되는 것을 특징으로 한다. 상기 제 1 스위치 부는 상기 제 1 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 제 1 트랜지스터 및 상기 제 1 트랜지스터의 제 2 단과 상기 제 1 노드 사이에 연결되는 제 1 터미네이션 저항을 구비하는 것을 특징으로 한다. 상기 제 2 스위치 부는 상기 제 2 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 제 2 트랜지스터 및 상기 제 2 트랜지스터의 제 2 단과 상기 제 1 노드 사이에 연결되는 제 2 터미네이션 저항을 구비하는 것을 특징으로 한다. 본 발명에 따른 종단 회로는 전력 소모와 신호 전달 시간을 줄이고 파형의 왜곡이 없이 신호를 전달 할 수 있는 장점이 있다.

**【대표도】**

도 6

**【명세서】****【발명의 명칭】**

전력 소비를 감소시키는 종단 회로.{Termination circuit for reducing consumption of power}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 종단 회로를 나타내는 회로도이다.

도 2는 종래의 다른 종단 회로를 나타내는 회로도이다.

도 3은 도 2의 종단 회로의 제 1 노드에서의 파형을 나타낸 파형도이다.

도 4는 종래의 또 다른 종단 회로를 나타내는 회로도이다.

도 5(a)는 도 4의 종단 회로의 터미네이션 저항의 임피던스 값을 나타내는 도면이다.

도 5(b)는 도 4의 제 1 노드의 파형을 나타내는 파형도이다.

도 6은 본 발명에 따른 종단 회로를 나타내는 회로도이다.

도 7(a)는 도 6의 종단 회로의 터미네이션 저항의 임피던스 값을 나타내는 도면이다.

도 7(b)는 도 6의 제 1 노드의 파형을 나타내는 파형도이다.

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 종단 회로에 관한 것으로서, 특히 전력 소모를 줄일수 있는 구조를 가지는 종단 회로에 관한 것이다.

<12> 고속 동작하는 장치들, 높은 클럭 주파수에 응답하여 동작하는 장치들, 긴 전송 라인을 필요로 하는 장치들에는 언더슈트 신호 반사(undershoot signal reflection)나 전송 라인 효과 문제(transmission line effect problem)가 존재한다는 것은 잘 알려진 사실이다.

<13> 만일 0V의 신호가 길이가 긴 전송 라인이나 버스를 통하여 전송되다가 5V의 전압 레벨을 가진 신호로 변화되면, 만약 상기 버스나 전송 라인의 임피던스 정합이 적절하게 이루어지지 않았다면, 상기 전송 라인이나 버스의 한쪽 끝 또는 양쪽 끝들로부터 하나 또는 그보다 많은 반사(reflection)가 발생된다. 따라서 신호의 전압 레벨이 0V에서 5V로 정착되는데 오랜 시간이 걸린다.

<14> 고속의 반도체 장치에서 클럭의 상승 시간(rising time) 및 하강 시간(falling time)이 점점 짧아지고 있다. 만일 상승 시간과 하강 시간이 신호가 전송되는 전송 라인에 의한 지연 시간의 2.5배 보다 짧아지면 수신기에서 수신되는 신호는 심하게 왜곡되고 유효한 신호로서 사용될 수 없다. 이러한 현상을 링잉(ringing)이라고 한다.

<15> 이러한 신호 왜곡과 반사파를 줄이기 위하여 전자기파 전송(electromagnetic wave transmission)을 위한 임피던스 정합(impedance matching)이 직렬 또는 병렬로 수행되고 있다.

<16> 도 1은 종래의 종단 회로를 나타내는 회로도이다.

<17> 도 1을 참조하면, 전원 전압(VDD)과 접지 전압(VSS) 사이에 터미네이션 저항들(R1, R2) 및 피모스 트랜지스터(MP)와 엔모스 트랜지스터(MN)가 직렬로 연결되어 있다. 피모스 트랜지스터(MP)의 게이트에 접지 전압(VSS)이 연결되어 있고, 엔모스 트랜지스터(MN)의 게이트에 전원 전압(VDD)이 연결되어 있다. 도 1의 종단 회로(100)는 병렬 정합의 형태이다.

<18> 입력 신호(INS)가 인가되는 전송 라인의 임피던스와 터미네이션 저항들(R1, R2)의 임피던스를 정합 시킨다. 터미네이션 저항들(R1, R2) 사이의 노드인 제 1 노드(N1)에서의 입력 신호(INS)의 파형을 측정해보면 반사파에 의한 신호 왜곡이 터미네이션 저항들(R1, R2)을 연결하지 않았을 때보다 감소되는 것을 알 수 있다.

<19> 그러나, 도 1의 종단 회로(100)의 구조는 피모스 트랜지스터(MP)와 엔모스 트랜지스터(MN)가 항상 턴 온 되어 있고, 전원 전압(VDD)으로부터 접지 전압(VSS)으로 전류 경로가 형성된다. 따라서, 입력 신호(INS)가 전송되는 동안 전력 소모가 매우 큰 단점이 있다. 도 1의 종단 회로(100)는 전력 소모를 고려해야하는 저 전력 장치에는 사용하기 어렵다.

<20> 도 2는 종래의 다른 종단 회로를 나타내는 회로도이다.

<21> 도 2를 참조하면, 전원 전압(VDD)과 접지 전압(VSS) 사이에 터미네이션 저항들(R1, R2) 및 피모스 트랜지스터(MP)와 엔모스 트랜지스터(MN)가 직렬로 연결되어 있다. 피모스 트랜지스터(MP)와 엔모스 트랜지스터(MN)의 게이트에 입력 신호(INS)의 레벨을 반전시켜 게이트로 인가하는 인버터들(I1, I2)이 연결되어 있다. 도 2의 종단 회로(200)는 병렬 정합의 형태이다.

<22> 입력 신호(INS)가 로우 레벨로 인가되다가 하이 레벨로 반전되면 인버터(I1)에 의하여 피모스 트랜지스터(MP)가 터 온 된다. 그러면 제 1 노드(N1)와 전원 전압(VDD) 사이에 전류 경로가 형성된다.

<23> 제 1 노드(N1)의 전압 레벨은 전원 전압(VDD)에 의하여 더 높아진다. 제 1 노드(N1)의 전압 레벨은 전원 전압(VDD) 레벨 또는 접지 전압(VSS) 레벨까지 완전히 도달된다. 따라서, 제 1 노드(N1)의 전압 레벨이 하이 레벨에서 로우 레벨로 또는 로우 레벨에서 하이 레벨로 변화되는데 시간이 길게 걸리는 문제가 있다.

<24> 도 3은 도 2의 종단 회로의 제 1 노드에서의 파형을 나타낸 파형도이다.

<25> 도 3을 참조하면, 입력 신호(INS)가 하이 레벨로 변하면 제 1 노드(N1)의 파형도 입력 신호(INS)와 동일하게 하이 레벨로 변화되지만 피모스 트랜지스터(MP)가 터 온 되면 도 2에의 제 1 노드(N1)의 파형에서 알 수 있듯이 제 1 노드(N1)의 파형에 신호 왜곡이 발생된다.

<26> 즉, 도 2의 종단 회로(200)는 도 1의 종단 회로(100)에 비하여 전력 소모는 적은 구조이지만 제 1 노드(N1)의 신호 파형이 왜곡되는 문제가 있다.

<27> 도 4는 종래의 또 다른 종단 회로를 나타내는 회로도이다.

<28> 도 4를 참조하면, 전원 전압(VDD)과 접지 전압(VSS) 사이에 피모스 트랜지스터(MP)와 엔모스 트랜지스터(MN) 및 터미네이션 저항들(R3, R4)이 직렬로 연결되어 있다.

<29> 피모스 트랜지스터(MP)의 게이트와 터미네이션 저항들(R3, R4)의 접점인 제 1 노드(N1) 사이에 커패시터(C1)가 연결되어 있고 전원 전압(VDD)과 피모스 트랜지스터(MP)의 게이트 사이에 저항(R1)이 연결되어 있다.

<30> 엔모스 트랜지스터(MN)의 게이트와 제 1 노드(N1) 사이에 커패시터(C2)가 연결되어 있고 접지 전압(VSS)과 엔모스 트랜지스터(MN)의 게이트 사이에 저항(R2)이 연결되어 있다.

<31> 커패시터들(C1, C2) 때문에 피모스 트랜지스터(MP)와 엔모스 트랜지스터(MN)는 턴 오프 되어 있다. 입력 신호(INS)가 하이 레벨로 입력되면 커패시터(C2)가 충전되면서 엔모스 트랜지스터(MN)가 잠시동안 턴 온 된다. 이 때 피모스 트랜지스터(MP)는 턴 오프 되어 있다.

<32> 커패시터(C2)에 충전된 전하는 접지 전압(VSS)으로 빠져나가고 잠시 동안 턴 온 된 엔모스 트랜지스터(MN)는 다시 턴 오프 된다. 따라서 입력 신호(INS)에 대하여 터미네이션은 제대로 이루어지지 못한다.

<33> 도 5(a)는 도 4의 종단 회로의 터미네이션 저항의 임피던스 값을 나타내는 도면이다.

<34> 도 5(b)는 도 4의 제 1 노드의 파형을 나타내는 파형도이다.

<35> 도 5(a)를 참조하면, 입력 신호(INS)가 입력되기 직전과 입력 신호(INS)가 입력되어 엔모스 트랜지스터(MN)가 턴 온 되었다가 다시 턴 오프 된 후에는 터미네이션 저항들(R3, R4)에 의한 임피던스가 무한대임을 알 수 있다.

<36> 그러나, 링잉(ringing)이나 반사파를 감소시키려면 터미네이션 저항들(R3, R4)에 의한 임피던스가 일정한 값으로 유지되어야 한다는 점을 고려할 때 도 4의 종단 회로(400)는 입력 신호(INS)에 대한 터미네이션이 효과적으로 수행되지 못함을 알 수 있다.

<37> 도 5(b)를 참조하면, 제 1 노드(N1)의 파형이 입력 신호(INS)의 레벨이 전환되는 시점에 높은 오버 슈트(overshoot)와 언더 슈트(undershoot)를 보이며 왜곡되는 것을 알 수 있다.

<38> 위와 같이 종래의 종단 회로들은 전력 소모가 매우 크거나 출력 파형이 왜곡되는 문제가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<39> 본 발명이 이루고자하는 기술적 과제는 전력 소모를 줄이면서도 출력 파형이 왜곡되지 않는 종단 회로를 제공하는데 있다.

#### 【발명의 구성 및 작용】

<40> 상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 종단 회로는 입력 신호를 전송 라인을 통하여 전송하는 경우 발생되는 링잉(ringing) 및 다이나믹 전류(dynamic current)를 감소시키기 위한 종단 회로에 있어서, 제 1 스위치 부 및 제 2 스위치 부를 구비하는 것을 특징으로 한다.

<41>      제 1 스위치 부는 상기 입력 신호가 제 1 레벨로 천이 되는 경우 제 1 노드와 제 1 전압 사이에 전류 패스를 형성하는 제 1 터미네이션 저항을 구비한다. 제 2 스위치 부는 상기 입력 신호가 제 2 레벨로 천이 되는 경우 제 1 노드와 제 2 전압 사이에 전류 패스를 형성하는 제 2 터미네이션 저항을 구비한다.

<42>      상기 제 1 및 제 2 스위치부는 상기 입력 신호의 레벨이 변화되는 경우 터미네이션 저항 값이 상기 전송 라인의 저항 값으로 일정하게 유지되는 것을 특징으로 한다.

<43>      상기 제 1 스위치 부는 상기 제 1 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 제 1 트랜지스터 및 상기 제 1 트랜지스터의 제 2 단과 상기 제 1 노드 사이에 연결되는 제 1 터미네이션 저항을 구비하는 것을 특징으로 한다.

<44>      상기 제 1 스위치 부는 상기 제 1 노드와 상기 제 1 트랜지스터의 게이트 사이에 게이트 보호용 제 1 저항을 더 구비하는 것을 특징으로 한다. 상기 제 1 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 한다.

<45>      상기 제 2 스위치 부는 상기 제 2 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 제 2 트랜지스터 및 상기 제 2 트랜지스터의 제 2 단과 상기 제 1 노드 사이에 연결되는 제 2 터미네이션 저항을 구비하는 것을 특징으로 한다.

<46>      상기 제 2 스위치 부는 상기 제 1 노드와 상기 제 2 트랜지스터의 게이트 사이에 게이트 보호용 제 2 저항을 더 구비하는 것을 특징으로 한다. 상기 제 2 트랜지스터는 피모스 트랜지스터인 것을 특징으로 한다.

<47> 상기 제 1 전압은 접지 전압 레벨을 가지며, 상기 제 2 전압은 전원 전압 레벨을 가진다. 상기 제 1 레벨은 하이 레벨을 의미하고, 상기 제 2 레벨은 로우 레벨을 의미하는 것을 특징으로 한다.

<48> 상기 종단 회로는 반도체 칩의 내부에 장착되는 것을 특징으로 한다.

<49> 상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 종단 회로는 입력 신호를 전송 라인을 통하여 전송하는 경우 발생되는 링잉(ringing) 및 다이나믹 전류(dynamic current)를 감소시키기 위한 종단 회로에 있어서 제 1 터미네이션 부 및 제 2 터미네이션 부를 구비하는 것을 특징으로 한다.

<50> 제 1 터미네이션 부는 상기 입력 신호가 하이 레벨로 천이 되는 경우 접지 전압에 의하여 임피던스 정합이 수행되도록 하는 제 1 터미네이션 저항을 구비한다. 제 2 터미네이션 부는 상기 입력 신호가 로우 레벨로 천이 되는 경우 전원 전압에 의하여 임피던스 정합이 수행되도록 하는 제 2 터미네이션 저항을 구비한다.

<51> 상기 제 1 터미네이션 부는 상기 접지 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 엔모스 트랜지스터 및 상기 엔모스 트랜지스터의 제 2 단과 소정의 제 1 노드 사이에 연결되는 제 1 터미네이션 저항을 구비하는 것을 특징으로 한다.

<52> 상기 제 1 터미네이션 부는 상기 제 1 노드와 상기 엔모스 트랜지스터의 게이트 사이에 게이트 보호용 제 1 저항을 더 구비하는 것을 특징으로 한다.

<53> 상기 제 2 터미네이션 부는 상기 전원 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 피모스 트랜지스터 및 상기 피모스 트랜지스터의 제 2 단과 상기 제 1 노드 사이에 연결되는 제 2 터미네이션 저항을 구비하는 것을 특징으로 한다.

<54> 상기 제 2 터미네이션 부는 상기 제 1 노드와 상기 피모스 트랜지스터의 게이트 사이에 게이트 보호용 제 2 저항을 더 구비하는 것을 특징으로 한다. 상기 종단 회로는 반도체 칩의 내부에 장착되는 것을 특징으로 한다.

<55> 상기 기술적 과제를 달성하기 위한 본 발명의 제 3 실시예에 따른 종단 회로는 입력 신호를 전송 라인을 통하여 전송하는 경우 발생되는 링잉(ringing) 및 다이나믹 전류(dynamic current)를 감소시키기 위한 종단 회로에 있어서 풀 다운부 및 풀 업부를 구비하는 것을 특징으로 한다.

<56> 풀 다운부는 상기 입력 신호가 제 1 레벨로 천이 되는 경우 소정의 제 1 노드의 전압 레벨이 완전한 제 2 전압의 전압 레벨이 되지 못하도록 제한한다. 풀 업부는 상기 입력 신호가 제 2 레벨로 천이 되는 경우 소정의 제 1 노드의 전압 레벨이 완전한 제 1 전압의 전압 레벨이 되지 못하도록 제한한다.

<57> 상기 풀 다운 부는 상기 제 1 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 엔모스 트랜지스터 및 상기 엔모스 트랜지스터의 제 2 단과 상기 제 1 노드 사이에 연결되는 제 1 터미네이션 저항을 구비하는 것을 특징으로 한다.

<58> 상기 풀 다운 부는 상기 제 1 노드와 상기 엔모스 트랜지스터의 게이트 사이에 게이트 보호용 제 1 저항을 더 구비하는 것을 특징으로 한다.

<59> 상기 풀 업부는 상기 제 2 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 피모스 트랜지스터 및 상기 피모스 트랜지스터의 제 2 단과 상기 제 1 노드 사이에 연결되는 제 2 터미네이션 저항을 구비하는 것을 특징으로 한다.

<60> 상기 풀 업부는 상기 제 1 노드와 상기 피모스 트랜지스터의 게이트 사이에 게이트 보호용 제 2 저항을 더 구비하는 것을 특징으로 한다.

<61> 상기 제 1 전압은 접지 전압 레벨을 가지며, 상기 제 2 전압은 전원 전압 레벨을 가진다. 상기 제 1 레벨은 하이 레벨을 의미하고, 상기 제 2 레벨은 로우 레벨을 의미한다. 상기 종단 회로는 반도체 칩의 내부에 장착되는 것을 특징으로 한다.

<62> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<63> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<64> 도 6은 본 발명에 따른 종단 회로를 나타내는 회로도이다.

<65> 도 6을 참조하면, 본 발명의 제 1 실시예에 따른 종단 회로(600)는 입력 신호(INS)를 전송 라인을 통하여 전송하는 경우 발생되는 링잉(ringing) 및 다이나믹 전류(dynamic current)를 감소시키기 위한 종단 회로에 있어서, 제 1 스위치 부(610) 및 제 2 스위치 부(620)를 구비한다.

<66> 제 1 스위치 부(610)는 입력 신호(INS)가 제 1 레벨로 천이 되는 경우 제 1 노드(N1)와 제 1 전압(VSS) 사이에 전류 패스를 형성하기 위한 제 1 터미네이션 저항(RTER1)을 구비한다.

<67> 좀 더 설명하면, 제 1 스위치 부(610)는 제 1 전압(VSS)에 제 1 단이 연결되고 게이트에 입력 신호(INS)가 인가되는 제 1 트랜지스터(MN) 및 제 1 트랜지스터(MN)의 제 2 단과 제 1 노드(N1) 사이에 연결되는 제 1 터미네이션 저항(RTER1)을 구비한다.

<68> 제 1 트랜지스터(MN)는 엔모스 트랜지스터이다. 제 1 전압(VSS)은 접지 전압(VSS)을 나타낸다. 제 1 레벨은 하이 레벨을 의미한다.

<69> 제 1 스위치 부(610)는 제 1 노드(N1)와 제 1 트랜지스터(MN)의 게이트 사이에 게이트 보호용 제 1 저항(R1)을 더 구비한다.

<70> 제 2 스위치 부(620)는 입력 신호(INS)가 제 2 레벨로 천이 되는 경우 제 1 노드(N1)와 제 2 전압(VDD) 사이에 전류 패스를 형성하기 위한 제 2 터미네이션 저항(RTER2)을 구비한다.

<71> 좀 더 설명하면, 제 2 스위치 부(620)는 제 2 전압(VDD)에 제 1 단이 연결되고 게이트에 입력 신호(INS)가 인가되는 제 2 트랜지스터(MP) 및 제 2 트랜지스터(MP)의 제 2 단과 제 1 노드(N1) 사이에 연결되는 제 2 터미네이션 저항(RTER2)을 구비한다.

<72> 제 2 트랜지스터(MP)는 피모스 트랜지스터이다. 제 2 전압(VDD)은 전원 전압을 의미한다. 제 2 레벨은 로우 레벨을 의미한다. 제 2 스위치 부(620)는 제 1 노드(N1)와 제 2 트랜지스터(MP)의 게이트 사이에 게이트 보호용 제 2 저항(R2)을 더 구비한다.

<73> 제 1 및 제 2 스위치부(610, 620)는 입력 신호(INS)의 레벨이 변화되는 경우 터미네이션 저항 값이 전송 라인의 저항 값으로 일정하게 유지되는 것을 특징으로 한다.

<74> 종단 회로(600)는 반도체 칩의 내부에 장착된다.

<75> 이하, 도 6을 참고하여 본 발명의 제 1 실시예에 따른 종단 회로의 동작을 상세히 설명한다.

<76> 도 6의 종단 회로(600)는 입력 신호(INS)가 하이 레벨이건 로우 레벨이건 제 1 스위치 부(610) 및 제 2 스위치 부(620) 중 하나는 턴 오프 되고 나머지 하나만 턴 온 된다. 따라서 전원 전압(VDD)부터 접지 전압(VSS)으로 전류 경로가 형성되지 않아 전력 소모를 줄일 수 있다.

<77> 만일 입력 신호(INS)가 로우 레벨에서 하이 레벨로 트랜지션 되면 제 1 트랜지스터(MN)가 턴 온 되고 제 2 트랜지스터(MP)는 턴 오프 된다.

<78> 도 2의 종래의 종단 회로(200)와 달리 입력 신호(INS)의 레벨과 반대되는 레벨, 즉 로우 레벨을 가지는 접지 전압(VSS)으로 전류 경로가 형성되므로, 제 1 노드(N1)의 전압 레벨이 입력 신호(INS)의 레벨과 동일한 레벨까지 도달되지 못하고 그보다 낮은 레벨까지만 도달된다.

<79> 반대로, 입력 신호(INS)가 하이 레벨에서 로우 레벨로 트랜지션 되면 제 2 트랜지스터(MP)가 턴 온 되고 제 2 트랜지스터(MP)가 턴 오프 된다. 그러면 제 1 노드(N1)와 전원 전압(VDD) 사이에 전류 경로가 형성되므로, 제 1 노드(N1)의 전압 레벨이 입력 신호(INS)의 레벨과 동일한 레벨까지 낮아지지 못하고 그보다 약간 높은 레벨까지만 도달된다.

<80> 따라서, 제 1 노드(N1)의 파형이 하이 레벨에서 로우 레벨로 또는 로우 레벨에서 하이 레벨로 전환되는데 걸리는 시간이 짧아지는 장점이 있다.

<81>      입력 신호(INS)의 레벨이 트랜지션 되는 경우, 입력 신호(INS)의 이전 레벨에 의하여 한 쪽 트랜지스터가 턴 온 된 상태이므로 터미네이션 저항들(RTER1, RTER2)에 의한 임피던스 값은 입력 신호(INS)가 전송되는 전송 라인의 임피던스 값과 계속해서 정합을 유지할 수 있다.

<82>      또한 입력 신호(INS)의 레벨이 트랜지션 되는 경우, 제 1 트랜지스터(MN)나 제 2 트랜지스터(MP)가 턴 온 또는 턴 오프 되기 위해서는 약간의 시간이 필요하다. 따라서, 제 1 트랜지스터(MN) 및 제 2 트랜지스터(MP)가 짧은 순간동안 모두 턴 온 되는 순간이 존재한다.

<83>      이 때에도 제 1 노드(N1)의 양 쪽의 터미네이션 저항들(RTER1, RTER2)이 입력 신호(INS)의 입장에서는 병렬로 연결된 것으로 되므로 터미네이션 저항들(RTER1, RTER2)에 의한 임피던스 값은 비교적 일정한 레벨로 유지된다.

<84>      제 1 저항(R1) 및 제 2 저항(R2)은 제 1 트랜지스터(MN) 및 제 2 트랜지스터(MP)의 게이트들이 입력 신호(INS)에 의해서 손상되는 것을 막기 위한 저항들이다.

<85>      도 7(a)는 도 6의 종단 회로의 터미네이션 저항의 임피던스 값을 나타내는 도면이다.

<86>      도 7(b)는 도 6의 제 1 노드의 파형을 나타내는 파형도이다.

<87>      도 7(a)를 참조하면, 터미네이션 저항들(RTER1, RTER2)의 임피던스 값(굵은 실선)이 비교적 일정한 레벨로 유지되는 것을 알 수 있다. 점선으로 표시된 부분은 터미네이션 저항들(RTER1, RTER2)의 각각의 임피던스 값을 나타낸다.

<88> 도 7(b)를 참조하면, 제 1 노드(N1)의 레벨이 변화되는 폭이 입력 신호(INS)의 레벨이 변화되는 폭보다 작은 것을 알 수 있다. 이는 종단 회로(600)의 다음에 연결되는 회로(미도시)로의 신호 전달 시간이 줄어드는 것을 의미한다.

<89> 또한 터미네이션 저항들(RTER1, RTER2)의 임피던스 값도 일정하므로 제 1 노드(N1)에서의 파형 또한 왜곡 없이 깨끗한 것을 알 수 있다. 종단 회로(600)는 반도체 칩의 내부에 장착될 수 있다.

<90> 본 발명의 제 2 실시예에 따른 종단 회로는 제 1 터미네이션 부 및 제 2 터미네이션 부를 구비한다.

<91> 제 1 터미네이션 부는 상기 입력 신호가 하이 레벨로 천이 되는 경우 접지 전압에 의하여 임피던스 정합이 수행되도록 하는 제 1 터미네이션 저항을 구비한다. 제 2 터미네이션 부는 상기 입력 신호가 로우 레벨로 천이 되는 경우 전원 전압에 의하여 임피던스 정합이 수행되도록 하는 제 2 터미네이션 저항을 구비한다.

<92> 제 1 터미네이션 부는 제 1 실시예의 제 1 스위치 부(610)와 동일한 기능을 하며 동일한 구조를 가진다. 제 2 터미네이션 부는 제 1 실시예의 제 2 스위치 부(620)와 동일한 기능을 가지며 동일한 구조를 가진다. 따라서, 제 2 실시예에 따른 종단 회로의 상세한 동작 설명은 생략한다.

<93> 본 발명의 제 3 실시예에 따른 종단 회로는 풀 다운부 및 풀 업부를 구비한다.

<94> 풀 다운부는 상기 입력 신호가 제 1 레벨로 천이 되는 경우 소정의 제 1 노드의 전압 레벨이 완전한 제 2 전압의 전압 레벨이 되지 못하도록 제한한다. 풀 업부는 상기 입

력 신호가 제 2 레벨로 천이 되는 경우 소정의 제 1 노드의 전압 레벨이 완전한 제 1 전압의 전압 레벨이 되지 못하도록 제한한다.

<95> 풀 다운부는 제 1 실시예의 제 1 스위치 부(610)와 동일한 기능을 하며 동일한 구조를 가진다. 풀 업부는 제 1 실시예의 제 2 스위치 부(620)와 동일한 기능을 가지며 동일한 구조를 가진다. 따라서, 제 3 실시예에 따른 종단 회로의 상세한 동작 설명은 생략 한다.

<96> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<97> 상술한 바와 같이 본 발명에 따른 종단 회로는 전력 소모와 신호 전달 시간을 줄이고 파형의 왜곡이 없이 신호를 전달 할 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

입력 신호를 전송 라인을 통하여 전송하는 경우 발생되는 링잉(ringing) 및 다이나믹 전류(dynamic current)를 감소시키기 위한 종단 회로에 있어서,

상기 입력 신호가 제 1 레벨로 천이 되는 경우 제 1 노드와 제 1 전압 사이에 전류 패스를 형성하는 제 1 터미네이션 저항을 구비하는 제 1 스위치 부 ; 및

상기 입력 신호가 제 2 레벨로 천이 되는 경우 제 1 노드와 제 2 전압 사이에 전류 패스를 형성하는 제 2 터미네이션 저항을 구비하는 제 2 스위치 부를 구비하고,

상기 제 1 및 제 2 스위치부는,

상기 입력 신호의 레벨이 변화되는 경우 터미네이션 저항 값이 상기 전송 라인의 저항 값으로 일정하게 유지되는 것을 특징으로 하는 종단 회로.

**【청구항 2】**

제 1항에 있어서, 상기 제 1 스위치 부는,

상기 제 1 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 제 1 트랜지스터 ; 및

상기 제 1 트랜지스터의 제 2 단과 상기 제 1 노드 사이에 연결되는 상기 제 1 터미네이션 저항을 구비하는 것을 특징으로 하는 종단 회로.

**【청구항 3】**

제 2항에 있어서, 상기 제 1 스위치 부는,

상기 제 1 노드와 상기 제 1 트랜지스터의 게이트 사이에 게이트 보호용 제 1 저항을 더 구비하는 것을 특징으로 하는 종단 회로.

#### 【청구항 4】

제 2항에 있어서, 상기 제 1 트랜지스터는,  
엔모스 트랜지스터인 것을 특징으로 하는 종단 회로.

#### 【청구항 5】

제 1항에 있어서, 상기 제 2 스위치 부는,  
상기 제 2 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 제 2 트랜지스터 ; 및  
상기 제 2 트랜지스터의 제 2 단과 상기 제 1 노드 사이에 연결되는 상기 제 2 터미네이션 저항을 구비하는 것을 특징으로 하는 종단 회로.

#### 【청구항 6】

제 5항에 있어서, 상기 제 2 스위치 부는,  
상기 제 1 노드와 상기 제 2 트랜지스터의 게이트 사이에 게이트 보호용 제 2 저항을 더 구비하는 것을 특징으로 하는 종단 회로.

#### 【청구항 7】

제 5항에 있어서, 상기 제 2 트랜지스터는,  
피모스 트랜지스터인 것을 특징으로 하는 종단 회로.

**【청구항 8】**

제 1항에 있어서,

상기 제 1 전압은 접지 전압 레벨을 가지며, 상기 제 2 전압은 전원 전압 레벨을 가지는 것을 특징으로 하는 종단 회로.

**【청구항 9】**

제 1항에 있어서,

상기 제 1 레벨은 하이 레벨을 의미하고, 상기 제 2 레벨은 로우 레벨을 의미하는 것을 특징으로 하는 종단 회로.

**【청구항 10】**

제 1항에 있어서, 상기 종단 회로는,

반도체 칩의 내부에 장착되는 것을 특징으로 하는 종단 회로.

**【청구항 11】**

입력 신호를 전송 라인을 통하여 전송하는 경우 발생되는 링잉(ringing) 및 다이나믹 전류(dynamic current)를 감소시키기 위한 종단 회로에 있어서,

상기 입력 신호가 하이 레벨로 천이 되는 경우 접지 전압에 의하여 임피던스 정합이 수행되도록 하는 제 1 터미네이션 저항을 구비하는 제 1 터미네이션 부 ; 및

상기 입력 신호가 로우 레벨로 천이 되는 경우 전원 전압에 의하여 임피던스 정합이 수행되도록 하는 제 2 터미네이션 저항을 구비하는 제 2 터미네이션 부를 구비하고,

상기 제 1 및 제 2 터미네이션부는,

상기 입력 신호의 레벨이 변화되는 경우 터미네이션 저항 값이 상기 전송 라인의 저항 값으로 일정하게 유지되는 것을 특징으로 하는 종단 회로.

#### 【청구항 12】

제 11항에 있어서, 상기 제 1 터미네이션 부는,  
상기 접지 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 엔모스 트랜지스터 ; 및  
상기 엔모스 트랜지스터의 제 2 단과 소정의 제 1 노드 사이에 연결되는 상기 제 1 터미네이션 저항을 구비하는 것을 특징으로 하는 종단 회로.

#### 【청구항 13】

제 12항에 있어서, 상기 제 1 터미네이션 부는,  
상기 제 1 노드와 상기 엔모스 트랜지스터의 게이트 사이에 게이트 보호용 제 1 저항을 더 구비하는 것을 특징으로 하는 종단 회로.

#### 【청구항 14】

제 11항에 있어서, 상기 제 2 터미네이션 부는,  
상기 전원 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 피모스 트랜지스터 ; 및  
상기 피모스 트랜지스터의 제 2 단과 상기 제 1 노드 사이에 연결되는 상기 제 2 터미네이션 저항을 구비하는 것을 특징으로 하는 종단 회로.

#### 【청구항 15】

제 14항에 있어서, 상기 제 2 터미네이션 부는,

상기 제 1 노드와 상기 피모스 트랜지스터의 게이트 사이에 게이트 보호용 제 2 저항을 더 구비하는 것을 특징으로 하는 종단 회로.

#### 【청구항 16】

제 11항에 있어서, 상기 종단 회로는,

반도체 칩의 내부에 장착되는 것을 특징으로 하는 종단 회로.

#### 【청구항 17】

입력 신호를 전송 라인을 통하여 전송하는 경우 발생되는 링잉(ringing) 및 다이나믹 전류(dynamic current)를 감소시키기 위한 종단 회로에 있어서,

상기 입력 신호가 제 1 레벨로 천이 되는 경우 소정의 제 1 노드의 전압 레벨이 완전한 제 2 전압의 전압 레벨이 되지 못하도록 제한하는 풀 다운부 ; 및  
상기 입력 신호가 제 2 레벨로 천이 되는 경우 소정의 제 1 노드의 전압 레벨이 완전한 제 1 전압의 전압 레벨이 되지 못하도록 제한하는 풀 업부를 구비하는 것을 특징으로 하는 종단 회로.

#### 【청구항 18】

제 17항에 있어서, 상기 풀 다운 부는,  
상기 제 1 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 엔모스 트랜지스터 ; 및

상기 엔모스 트랜지스터의 제 2 단과 상기 제 1 노드 사이에 연결되는 제 1 터미네이션 저항을 구비하는 것을 특징으로 하는 종단 회로.

**【청구항 19】**

제 18항에 있어서, 상기 풀 다운 부는,  
상기 제 1 노드와 상기 엔모스 트랜지스터의 게이트 사이에 게이트 보호용 제 1 저항을 더 구비하는 것을 특징으로 하는 종단 회로.

**【청구항 20】**

제 17항에 있어서, 상기 풀 업부는,  
상기 제 2 전압에 제 1 단이 연결되고 게이트에 상기 입력 신호가 인가되는 피모스 트랜지스터 ; 및  
상기 피모스 트랜지스터의 제 2 단과 상기 제 1 노드 사이에 연결되는 제 2 터미네이션 저항을 구비하는 것을 특징으로 하는 종단 회로.

**【청구항 21】**

제 20항에 있어서, 상기 풀 업부는,  
상기 제 1 노드와 상기 피모스 트랜지스터의 게이트 사이에 게이트 보호용 제 2 저항을 더 구비하는 것을 특징으로 하는 종단 회로.

**【청구항 22】**

제 17항에 있어서,  
상기 제 1 전압은 접지 전압 레벨을 가지며, 상기 제 2 전압은 전원 전압 레벨을 가지는 것을 특징으로 하는 종단 회로.

**【청구항 23】**

제 17항에 있어서,

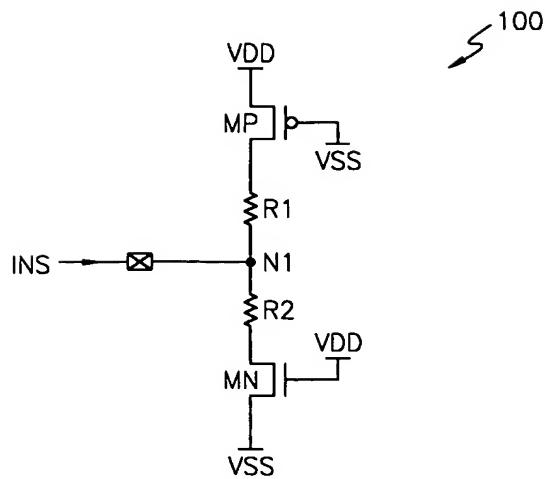
상기 제 1 레벨은 하이 레벨을 의미하고, 상기 제 2 레벨은 로우 레벨을 의미하는 것을 특징으로 하는 종단 회로.

【청구항 24】

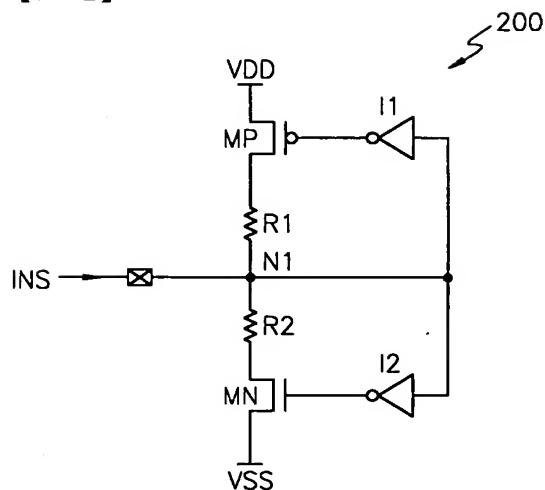
제 17항에 있어서, 상기 종단 회로는,  
반도체 칩의 내부에 장착되는 것을 특징으로 하는 종단 회로.

## 【도면】

【도 1】



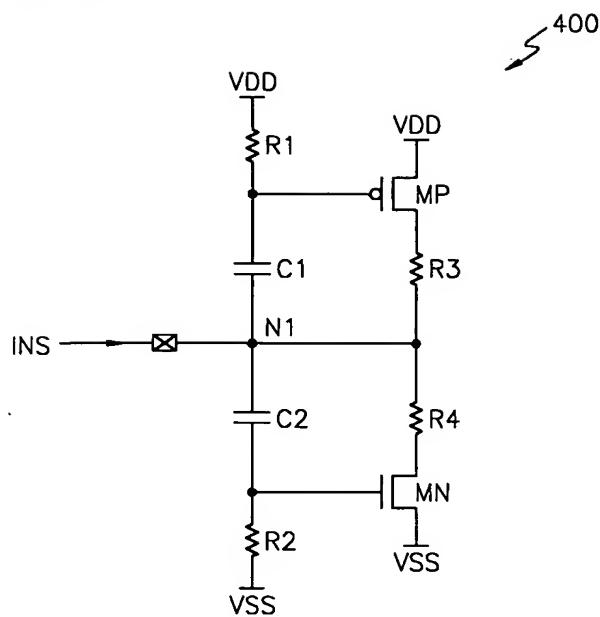
【도 2】



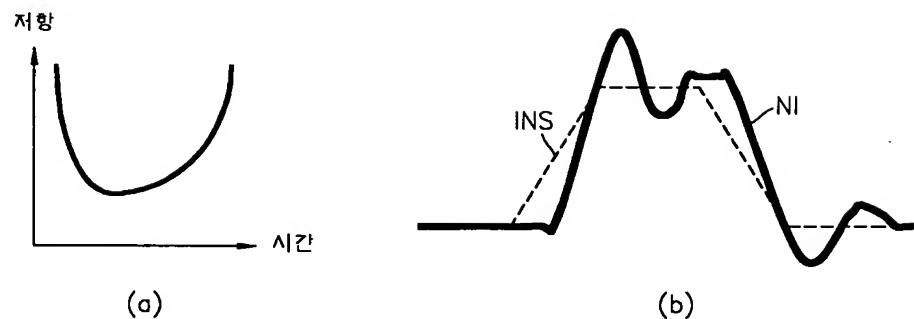
【도 3】



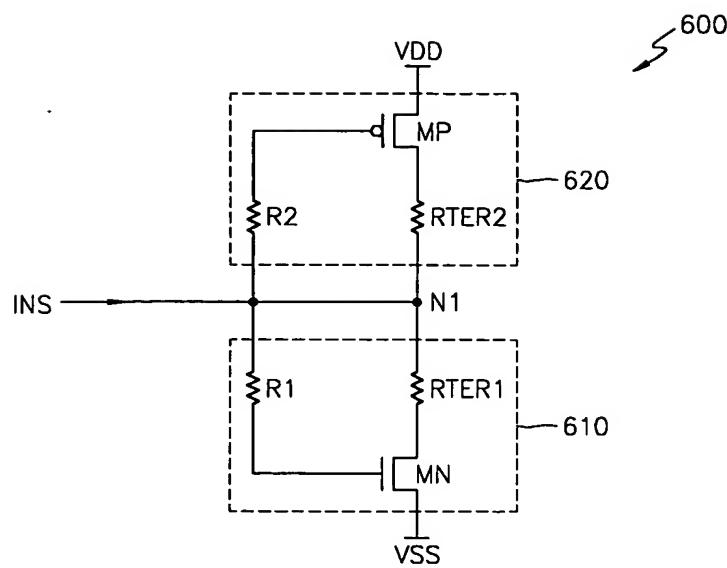
【도 4】



【도 5】



【도 6】



【도 7】

